



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06060657 A**(43) Date of publication of application: **04 . 03 . 94**(51) Int. Cl. **G11C 11/409**(21) Application number: **04207678**(71) Applicant: **NEC CORP**(22) Date of filing: **04 . 08 . 92**(72) Inventor: **OBARA TAKASHI**

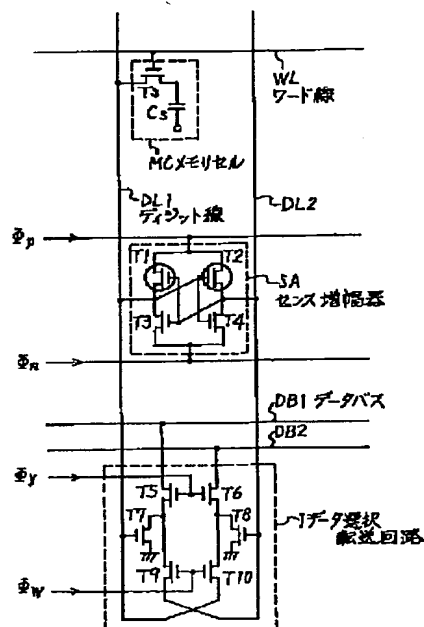
## (54) SEMICONDUCTOR STORAGE DEVICE

## (57) Abstract:

**PURPOSE:** To reduce a chip size and cost by connecting a transistor which turns on or off with a write control signal between a transistor and a digit line in the read side.

**CONSTITUTION:** When a write data is transmitted to data buses DB1, DB2 and a write control signal  $\phi_{w}$  is activated in the timing that the data inverted from that at the read time is transmitted the transistors  $T_9$ ,  $T_{10}$  turn on and data of the data buses DB1, DB2 can be transmitted to the digit lines DL2, DL1 through the transistors  $T_5$ ,  $T_6$ ,  $T_9$ ,  $T_{10}$ . Data of the data buses DB1, DB2 are transmitted to the digit lines DL1, DL2. Next, the stand-by condition occurs, completing the read and write operations. Thereby, while the characteristic showing high operation rate and large degree of freedom of design of the conventional device, the number of lines of data buses can be reduced to 1/2 and the number of transistors can also be reduced to 3/4.

COPYRIGHT: (C)1994,JPO&amp;Japio





(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-60657

(43)公開日 平成6年(1994)3月4日

(51)Int.Cl.<sup>6</sup>  
G11C 11/409

識別記号

F I

6741-5L

G11C 11/34

354

A

審査請求 未請求 請求項の数1 (全6頁)

(21)出願番号 特願平4-207678

(22)出願日 平成4年(1992)8月4日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 小原 ▲隆▼

東京都港区芝五丁目7番1号日本電気株式会社内

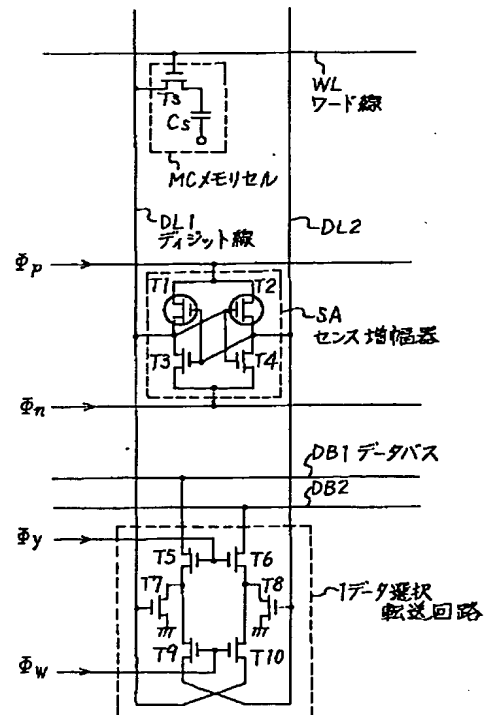
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】半導体記憶装置

(57)【要約】

【目的】高速動作、設計の自由度が大という特徴を生かしたまま、チップサイズを小さくしコストの低減をはかる。

【構成】データバスを書込み、読出し共用の一对 (DB1, DB2) とする。データ選択転送回路1を、読出し側はそのままとし、書込み側を、トランジスタT5とディジット線DL2との間及びトランジスタT6とディジット線DL1との間に、書込み制御信号Φwによりオン、オフするトランジスタT9, T10を設けた構成とする。



## 【特許請求の範囲】

【請求項 1】 対をなす第 1 及び第 2 のディジット線と、ワード線と、このワード線により選択されて前記第 1 及び第 2 のディジット線に伝達されたデータを記憶し記憶しているデータを前記第 1 及び第 2 のディジット線に伝達するメモリセルと、活性化制御信号に従って前記第 1 及び第 2 のディジット線間のデータを増幅するセンス増幅器と、データの入出力を行う対をなす第 1 及び第 2 のデータバスと、ソース、ドレインの一方を前記第 1 及び第 2 のデータバスにそれぞれ対応して接続しゲートに共に列選択信号を受けてオン、オフする第 1 及び第 2 のトランジスタ、ソースを基準電位点に接続しゲートを前記第 1 のディジット線に接続しドレインを前記第 1 のトランジスタのソース、ドレインの他方に接続する第 3 のトランジスタ、ソースを前記基準電位点に接続しゲートを前記第 2 のディジット線に接続しドレインを前記第 2 のトランジスタのソース、ドレインの他方に接続する第 4 のトランジスタ、ソース、ドレインの一方を前記第 1 のトランジスタのソース、ドレインの他方に接続しソース、ドレインの他方を前記第 2 のディジット線に接続しゲートに書込み制御信号を受けてオン、オフする第 5 のトランジスタ、並びにソース、ドレインの一方を前記第 2 のトランジスタのソース、ドレインの他方に接続しソース、ドレインの他方を前記第 1 のディジット線に接続しゲートに前記書込み制御信号を受けてオン、オフする第 6 のトランジスタを備えたデータ選択転送回路とを有することを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体記憶装置に関し、特にディジット線・データバス間のデータ選択及び転送を高速に行う手段を備えた半導体記憶装置に関する。

## 【0002】

【従来の技術】 半導体記憶装置において、特に常にリフレッシュが必要なランダムアクセスメモリ（以下 DRAM という）においては、高集積化に伴う記憶容量の増大と共に、各種機能も種々追加されて来ている。特に、主として、1 メガビットの DRAM より採用された相補型の電界効果トランジスタ（CMOS）化と、列すなわち、カラム側をスタティック動作として実現したスタティックカラムモード、ファーストページモードに伴って、各ディジット線対毎に設けられた増幅回路（センス増幅器）の型式や、列側アドレス選択情報により前記増幅回路で増幅されたセルデータの選択を行なう選択、転送回路の方式は種々の改善がなされて来た。

【0003】 従来の半導体記憶装置の第 1 の例を図 3 に示す。

【0004】 この半導体記憶装置は、対をなす第 1 及び第 2 のディジット線 DL 1、DL 2 と、ワード線 WL と、トランジスタ T s 及び容量素子 C s を備えこのワー

ド線 WL により選択されて対をなす第 1 及び第 2 のディジット線 DL 1、DL 2 に伝達されたデータを記憶し記憶しているデータを第 1 及び第 2 のディジット線 DL 1、DL 2 に伝達するメモリセル MC と、トランジスタ T 1 ~ T 4 を備え活性化制御信号  $\Phi_p$ 、 $\Phi_n$  に従って第 1 及び第 2 のディジット線 DL 1、DL 2 間のデータを増幅するセンス増幅器 SA と、データの入出力を行う対をなす第 1 及び第 2 のデータバス DB 1、DB 2 と、ソース、ドレインをディジット線 DL 1、DL 2 とデータバス DB 1、DB 2 とにそれぞれ対応して接続しゲートに列選択信号  $\Phi_y$  を受けてオン、オフするトランジスタ T 1 1、T 1 2 を備え、ディジット線 DL 1、DL 2・列選択信号  $\Phi_y$  に従ってデータバス DB 1、DB 間のデータの選択及び転送を行うデータ選択転送回路 1 a とを有する構成となっている。

【0005】 この半導体記憶装置は、トランジスタ T 1 1、T 1 2 を介して、ディジット線 DL 1、DL 2 とデータバス DB 1、DB 2 との間で直接電荷のやり取りが行なわれるので、データ転送速度が遅い上、マルチセレクト対策、センス増幅器 SA・ディジット線 DL 1、DL 2 間にトランスファゲートを設けた場合の、トランスファゲート接続タイミングと列選択信号  $\Phi_y$  の活性化タイミングの調整、ディジット線 DL 1、DL 2 間の増幅度合いと列選択信号  $\Phi_y$  活性化タイミングの調整や、書込み時のトランスファスイッチトランジスタの能力と読み出し時のデータバス DB 1、DB・ディジット線 DL 1、DL 2 間の電荷のやり取りによるデータ破壊を防ぐためのトランスファスイッチトランジスタの能力とのトレードオフ等々の種々問題がある。

【0006】 これらの問題点を解決した従来の半導体記憶装置の第 2 の例を図 4 に示す。

【0007】 この第 2 の例が第 1 の例と相違する点は、データバスを、読み出し専用のリードデータバス RDB 1、RDB 2 と書込み専用のライトデータバス WDB 1、WDB 2 とに分割し、データ選択転送回路を、ソース、ドレインの一方をリードデータバス RDB 1、RDB 2 にそれぞれ対応して接続しゲートに共に列選択信号  $\Phi_y$  を受けてオン、オフするトランジスタ T 5、T 6 とソースを基準電位点に接続しゲートをディジット線 DL 1 に接続しドレインをトランジスタ T 5 のソース、ドレインの他方に接続するトランジスタ T 7 と、ソースを基準電位点に接続しゲートをディジット線 DL 2 に接続しドレインをトランジスタ T 6 のソース、ドレインの他方に接続するトランジスタ T 8、ソース、ドレインの一方をディジット線 DL 1、DL 2 にそれぞれ対応して接続しゲートに列選択信号  $\Phi_y$  を受けてオン、オフするトランジスタ T 1 1、T 1 2 と、ソース、ドレインの一方をトランジスタ T 1 1、T 1 2 のソース、ドレインの他方にそれぞれ対応して接続しソース、ドレインの他方をライトデータバス WDB 1、WDB 2 にそれぞれ対応して

10

20

30

40

50

接続しゲートに書込み制御信号  $\Phi w$  を受けてオン、オフするトランジスタ  $T13$ 、 $T14$  とを備えた構成とした点にある。

【0008】次にこの半導体記憶装置の動作について説明する。図5はこの半導体記憶装置の動作を説明するための各部信号の波形図である。

【0009】時刻  $t_0$  において、外部からのロウアドレスストロブ信号  $RAS$  が活性化レベルになると、これをうけて行アドレス信号により指定されたワード線  $WL$  が選択レベルとなる。これにより時刻  $t_1$  においてワード線  $WL$  と接続するメモリセル  $MC$  のトランジスタ  $Ts$  がオンとなりディジット線  $DL1$  にセルデータが伝達される。このメモリセル  $MC$  の容量素子  $Cs$  に蓄積された電荷  $Qs = CsVs$  とディジット線電荷  $Qd = CdVd$  との容量分割による微小差電位を、時刻  $t_2$  に活性化する活性化信号  $\Phi p$ 、 $\Phi n$  に従ってセンス増幅器  $SA$  により、増幅する。時刻  $t_2$  までに、外部からのカラムアドレスストロブ信号  $CAS$  は活性化され、これに同期して列アドレス信号が取り込まれる。次に、時刻  $t_3$  において、列アドレス信号によって列選択信号  $\Phi y$  を活性化すると、トランジスタ  $T5$ 、 $T6$ 、 $T11$ 、 $T12$  がオン状態となる。この時点で時刻  $t_2$  において増幅を開始したセンス増幅器  $SA$  と接続するディジット線  $DL1$ 、 $DL2$  のレベルは十分な差電位となり  $DL1$  は高レベル（又は低レベル） $DL2$  は低レベル（又は高レベル）となる。従ってトランジスタ  $T7$  はオン（又はオフ）状態、トランジスタ  $T8$  はオフ（又はオン）状態を維持する。すなわち、時刻  $t_3$  においてトランジスタ  $T5$ 、 $T6$  が共にオン状態となっても、トランジスタ  $T5$ 、 $T7$  が接続された側のソードデータバス  $RDB1$  は低レベルに引き下げられるが、もう一方のトランジスタ  $T6$ 、 $T8$  が接続された側のリードデータバス  $RDB2$  は高レベルを維持し、このリードデータバス  $RDB1$ 、 $RDB2$  によりデータが伝達される。

【0010】さらに、時刻  $t_4$  において、外部から伝達される書込みデータがライトデータバス  $WDB1$ 、 $WDB2$  に伝達され、時刻  $t_5$  において書込み制御信号  $\Phi w$  が活性化するとトランジスタ  $T13$ 、 $T14$  はオンとなり、既に時刻  $t_3$  において活性化されている列選択信号  $\Phi y$  によりオンとなっているトランジスタ  $T11$ 、 $T12$  と共に、ライトデータバス  $WDB1$ 、 $WDB2$  のデータをディジット線  $DL1$ 、 $DL2$  に伝達する。 $DL1$ 、 $DL2$  に逆データの書込みが完了する時刻であり、時刻  $t_7$  は読出し書込み動作が完了し、内部状態がすべて、非活性化したスタンバイ状態にもどる時刻を表わしている。

【0011】

【発明が解決しようとする課題】この従来の半導体記憶装置の第2の例のデータ選択転送回路1bは、トランスファスイッチ型の第1の例に比べ、高速動作が可能で、

かつ、前述した様に設計上の自由度も大きいというすぐれた特性をもっているが、読出し側がゲートにデータを受けるタイプとなっているため、書込み用に別に書込み専用データバスとスイッチ回路と設けなければならず、第1の例の2倍のデータバスと、4倍の数のトランジスタを必要とし、素子領域チップサイズが大きくなりコストの増大を招くという欠点があった。

【0012】本発明の目的は、高速動作で設計の自由度が大きく、かつチップサイズを小さくしてコストの低減をはかることができる半導体記憶装置を提供することにある。

【0013】

【課題を解決するための手段】本発明は半導体記憶装置は、対をなす第1及び第2のディジット線と、ワード線と、このワード線により選択されて前記第1及び第2のディジット線に伝達されたデータを記憶し記憶しているデータを前記第1及び第2のディジット線に伝達するメモリセルと、活性化制御信号に従って前記第1及び第2のディジット線間のデータを増幅するセンス増幅器と、データの入出力を行う対をなす第1及び第2のデータバスと、ソース、ドレインの一方を前記第1及び第2のデータバスにそれぞれ対応して接続しゲートに共に列選択信号を受けてオン、オフする第1及び第2のトランジスタ、ソースを基準電位点に接続しゲートを前記第1のディジット線に接続しドレインを前記第1のトランジスタのソース、ドレインの他方に接続する第3のトランジスタ、ソースを前記基準電位点に接続しゲートを前記第2のディジット線に接続しドレインを前記第2のトランジスタのソース、ドレインの他方に接続する第4のトランジスタ、ソース、ドレインの一方を前記第1のトランジスタのソース、ドレインの他方に接続しソース、ドレインの他方を前記第2のディジット線に接続しゲートに書込み制御信号を受けてオン、オフする第5のトランジスタ、並びにソース、ドレインの一方を前記第2のトランジスタのソース、ドレインの他方に接続しソース、ドレインの他方を前記第1のディジット線に接続しゲートに前記書込み制御信号を受けてオン、オフする第6のトランジスタを備えたデータ選択転送回路とを有している。

【0014】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0015】図1は本発明の一実施例を示す回路図である。

【0016】この実施例が図4に示された従来の半導体記憶装置と相違する点は、リードデータバス  $RDB1$ 、 $RDB2$  及びライトデータバス  $WDB1$ 、 $WDB2$  を一対のデータバス  $DB1$ 、 $DB2$  に統合し、データ選択転送回路1を、ソース、ドレインの一方を（第1及び第2の）データバス  $DB1$ 、 $DB2$  にそれぞれ対応して接続しゲートに共に列選択信号  $\Phi y$  を受けてオン、オフする

(第1及び第2の)トランジスタT5、T6と、ソースを基準電位点に接続しゲートをディジット線DL1に接続しドレインをトランジスタT5のソース、ドレインの他方に接続する(第3の)トランジスタT7と、ソースを基準電位点に接続してゲートをディジット線DL2に接続しドレインをトランジスタT6のソース、ドレインの他方に接続する(第4の)トランジスタT8と、ソース、ドレインの一方をトランジスタT5のソース、ドレインの他方に接続しソース、ドレインの他方をディジットDL2に接続しゲートに書き込み制御信号Φwを受けてオン、オフする(第5の)トランジスタT9と、ソース、ドレインの一方をトランジスタT6のソース、ドレインの他方に接続しソース、ドレインの他方をディジット線DL1に接続しゲートに書き込み制御信号Φwを受けてオン、オフする(第6の)トランジスタT10とを備えた構成とした点にある。

【0017】次にこの実施例の動作について説明する。図2はこの実施例の動作を説明するための各部信号の波形図である。

【0018】データの読出し動作については、図4、図5に示され従来の第2の例と同一であるのでその説明は省略する(図2の時刻t4の手前まで)。

【0019】時刻t4において、書き込みデータがデータバスDB1、DB2に伝達され、読出しと逆のデータが伝達されると仮定すると、時刻t5において書き込み制御信号Φwが活性化する時点でトランジスタT9、T10がオン状態となり、トランジスタT5、T6、T9、T10を介してデータバスDB1のデータがディジット線DL2に、データバスDB2のデータがディジット線DL1に伝達可能となる。そして時刻t6でデータバスDB1、DB2のデータがディジット線DL1、DL2に伝達される。次に時刻t7においては、スタンバイ状態に戻り、読出し書き込み動作が完了する。

【0020】この実施例においては、従来の第2の例における高速動作及び設計の自由度が大きいという特徴を生かしたまま、この第2の例に対して、データバスの本

数を1/2に、トランジスタの数を3/4にそれぞれ低減している。

【0021】

【発明の効果】以上説明したように本発明は、データバスを書込み、読出し共用とし、データ選択転送回路を、読出し側は従来の第2の例と同じで書き込み側が、読出し側の第1のトランジスタと第2のディジット線との間及び第2のトランジスタと第1のディジット線との間に、書き込み制御信号によりオン、オフする第5及び第6のトランジスタを接続した構成とすることにより、上述の従来の第2の例の高速動作及び設計の自由度が大きいという特徴が生かしたまま、この第2の例に対し、データバス数を1/2にトランジスタ数を3/4に低減することができ、従ってチップサイズを小さくすることができ、コストの低減をはかることができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路図である。

【図2】図1に示された実施例の動作を説明するための各部信号の波形図である。

【図3】従来の半導体記憶装置の第1の例の回路図である。

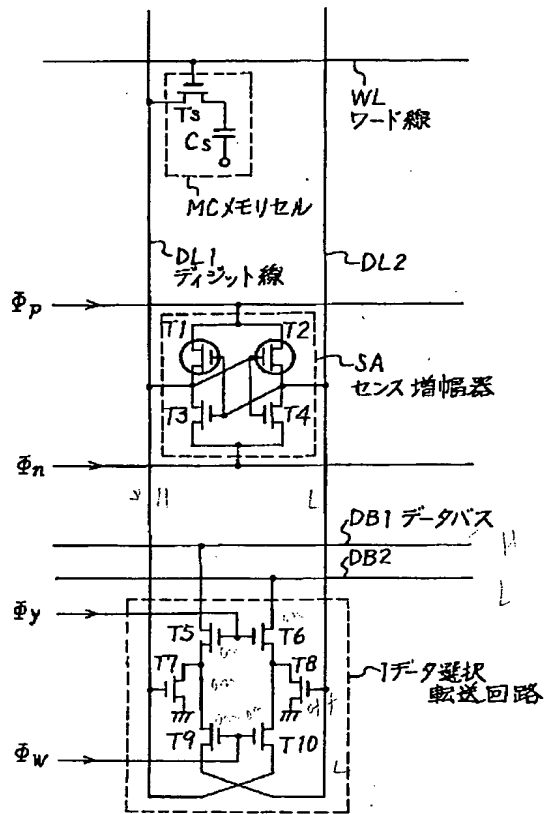
【図4】従来の半導体記憶装置の第2の例の回路図である。

【図5】図4に示された半導体記憶装置の動作を説明するための各部信号の波形図である。

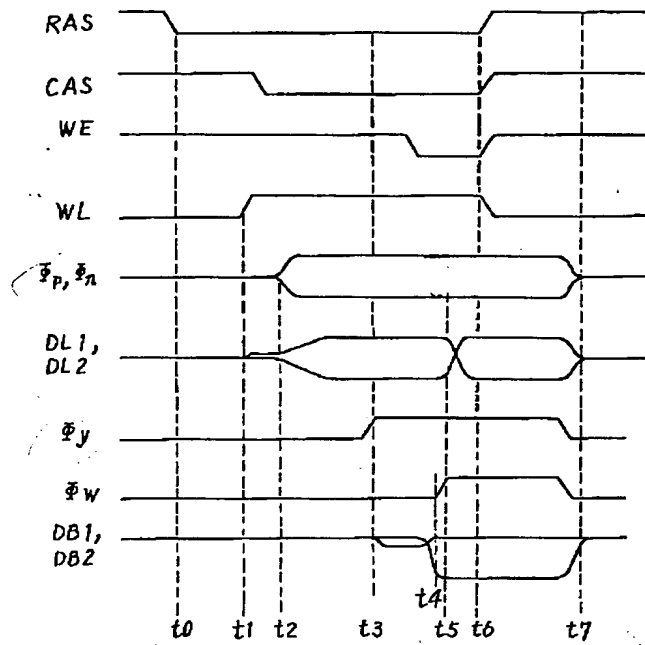
【符号の説明】

1, 1a, 1b   データ選択転送回路  
DB1, DB2   データバス  
DL1, DL2   ディジット線  
MC   メモリセル  
RDB1, RDB2   リードデータバス  
SA   センス増幅器  
T1~T14   トランジスタ  
WDB1, WDB2   ライトデータバス  
WL   ワード線

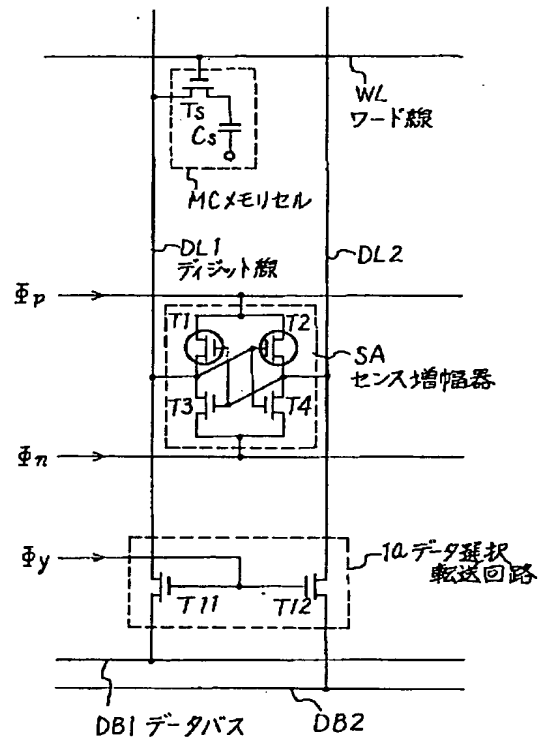
【図 1】



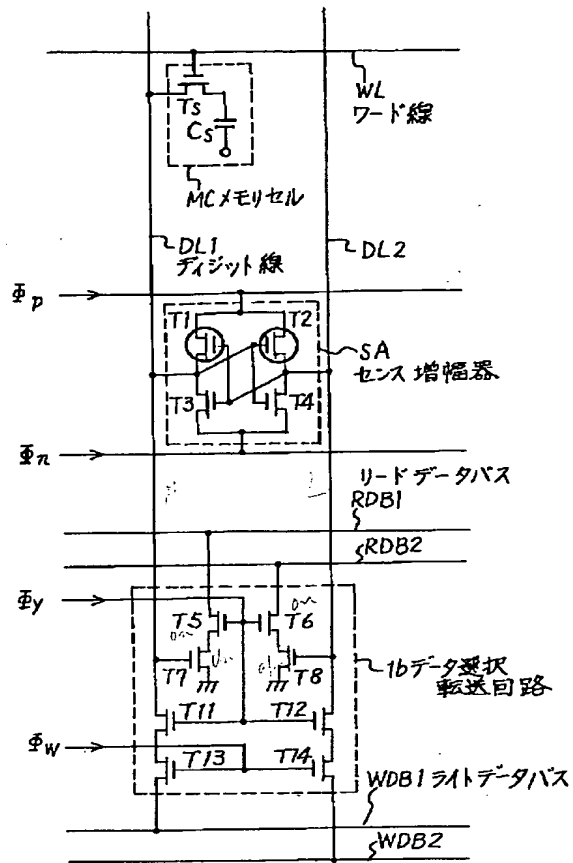
【図 2】



【図 3】



【図4】



【図5】

